

SPARC64 VIIIfx: CPU для К компьютера

•Toshio Yoshida •Mikio Hondo •Ryuji Kan •Go Sugizaki
 FUJITSU Sci. Tech. J., Vol. 48, No. 3, pp. 274–279 (July2012),
 перевод © ООО «Модуль-Проекты», <http://www.mdl.ru>, ссылки обязательны.

SPARC64 VIIIfx, который был разработан как процессор для К компьютера, использует 45-nm CMOS технологию Fujitsu Semiconductor Ltd. для полупроводников и состоит из восьми ядер, разделяемой кэш-памяти L2 с объемом 6МБ и контроллеров памяти. Пиковая производительность в 128 GFLOPS при рабочей частоте 2GHz достигается при энергопотреблении менее 58W. Отношение производительности к единице мощности более чем в шесть раз превышает показатель предыдущего процессора SPARC. Для достижения такого соотношения производительности к потребляемой мощности мы расширили архитектуру SPARC-V9, разработав вычислительное расширение для высокопроизводительных арифметических расчетов- оптимальный набор инструкций для научных расчетов. Кроме того, мы успешно снизили мощность токов утечки с использованием водяного охлаждения и динамического стробируемого питания для достижения более низкого энергопотребления. Дополнительно, для обеспечения стабильной работы системы, соединяющей более 80 000 процессоров, используются высоко надежные технологии мэйнфреймов и серверов UNIX. В этой статье излагаются технологии, используемые для достижения высокой производительности, низкого энергопотребления и высокой надежности SPARC64 VIIIfx.

1. Введение

Fujitsu разработал SPARC64 VIIIfx¹⁾ (рисунок 1) как процессор для суперкомпьютера (“К компьютера”)^{note)}. К компьютер имеет более чем 80 000 процессоров, установленных для получения вычислительной производительности, превышающей 10PFLOPS. Такой процессор должен иметь высокую производительность, низкое энергопотребление и высокую надежность. В данной статье излагаются технологии, используемые для достижения этих целей.

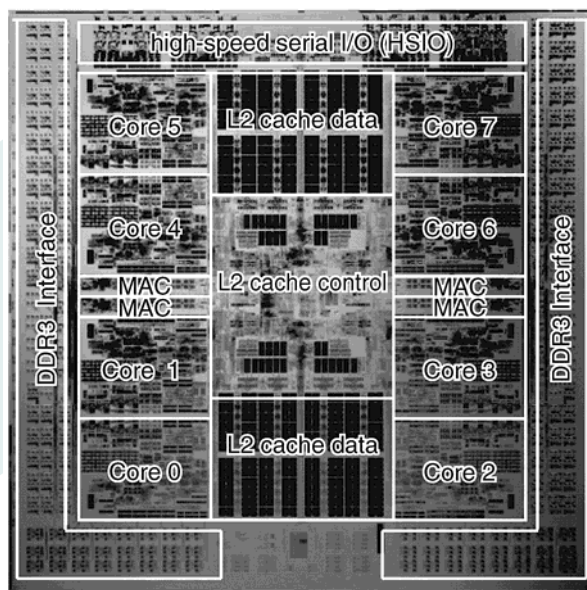


Рисунок 1
 микросхема SPARC64 VIIIfx

^{note)} “К computer” - английское название, которое RIKEN использовал для суперкомпьютера в данном проекте начиная с июля 2010. “К” пришло из японского слова “Kei”, которое обозначает 10 пета или 10 в 16й степени.

2. Цели разработки SPARC64 VIIIfx

Цели разработки SPARC64 VIIIfx включают:

1) Высокая производительность

SPARC64 VIIIfx является мультиядерным процессором, содержащим восемь ядер, разделяемый кэш L2, контроллеры памяти (MACs) и высокоскоростной последовательный ввод/вывод (HSIO).

Для демонстрации каждым ядром высокой производительности в реальных приложениях, мы расширили архитектуру SPARC-V9²⁾⁻⁴⁾ и разработали вычислительное расширение высокопроизводительной численной арифметики (HPC-ACE)⁵⁾ - набор инструкций, способный эффективно выполнять научные вычисления.

Для достижения более высокой скорости параллельной обработки, имея восемь ядер на чипе, архитектура должна также иметь функцию разделения кэш-памяти 2 уровня для всех ядер и синхронизации ядер посредством аппаратных средств. Объединение данных свойств с автоматическим параллельным компилятором Fujitsu позволяет пользователю работать с множеством ядер при программировании так, как будто это один высокоскоростной CPU, не заботясь о его подразделении на множество ядер. В Fujitsu эта технология называется Виртуальным единственным процессором с интегрированной параллельной многоядерной архитектурой (VISIMPACT, Virtual Single Processor by Integrated Multicore Parallel Architecture).

2) Низкое энергопотребление

В связи с ограничением по мощности, доступной для всей системы, мощность, потребляемая процессором, должна была быть понижена до 58Вт или даже ниже. С этой целью используются транзисторы Fujitsu с низким уровнем утечки, а также водяное охлаждение, понижающее температуру перехода до 30°C, что уменьшает мощность токов утечки. Кроме того, процессор должен в полной мере использовать тактовое стробирование, чтобы уменьшить его динамическое энергопотребление.

3) Высокая надежность

Для обеспечения стабильной работы процессор требует высоконадежных технологий, используемых в мейнфреймах и серверах UNIX^{6),7)}.

3. Микрoarхитектура SPARC64 VIIIfx

Конвейер SPARC64 VIIIfx показан на рисунке 2, а в Таблице 1 приводится описание его характеристик.

Ядро состоит из блока управления инструкциями, исполнительного устройства и кэша 1 уровня. Блок управления инструкциями отвечает за выборку команд, декодирование инструкций, контроль за испорченными инструкциями и контроль операций фиксации транзакций.

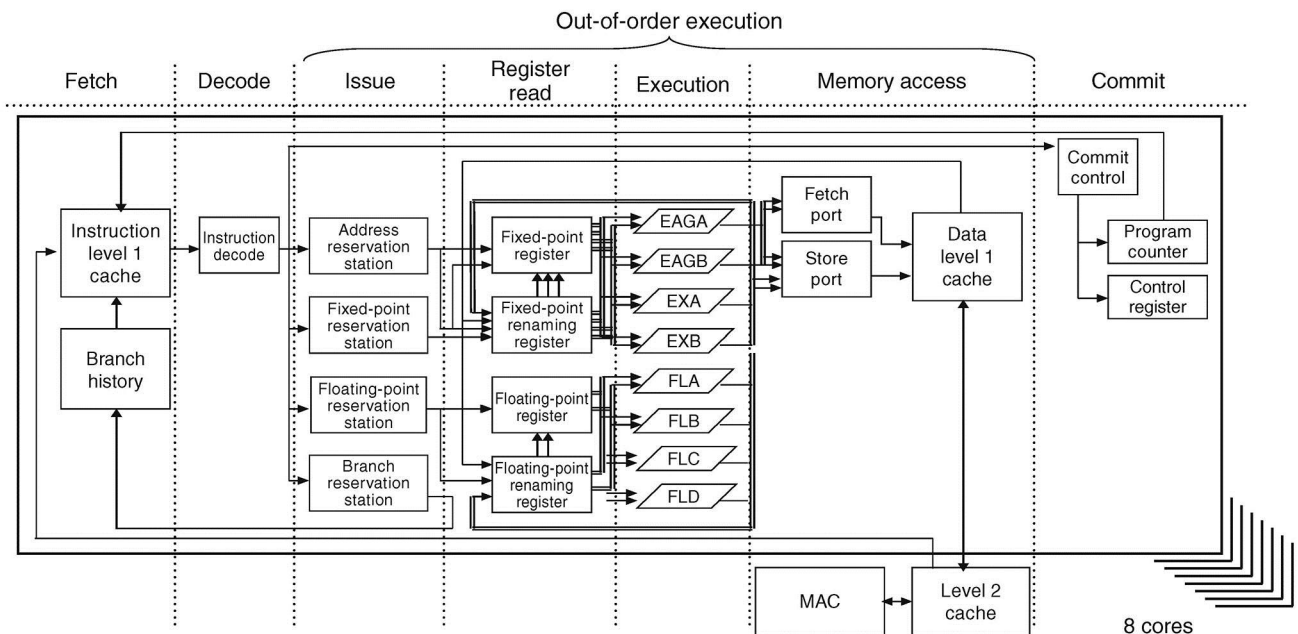


Рисунок 2
конвейер SPARC64 VIIIfx

Table 1
Описание SPARC64 VIIIfx

Наименование	Описание
Число ядер	8
Кэш-память 2 уровня	6 MB
Тактовая частота	2 GHz
Технологический процесс	FSL 45-nm CMOS
Размер кристалла микросхемы	22.7mm × 22.6mm
Число транзисторов	Около 760 миллионов
Пиковая производительность	128 GFLOPS
Пропускная способность памяти	64GB/s (теоретическое пиковое значение)
Энергопотребление	58W (условия работы: TYP)

FSL: Fujitsu Semiconductor Ltd.

Исполнительный блок оснащен двумя функциональными блоками операций с фиксированной запятой (EXA/B), двумя функциональными блоками для вычисления адресов загрузки/сохранения (EAGA/B) и четырьмя блоками (FLA/B/C/D) умножения-и-сложения с плавающей точкой (FMA). Блоки FMA имеют архитектуру одиночной команды над множеством данных (SIMD, single instruction multiple data) и выполняет две параллельные операции с одной командой. Один блок FMA способен проводить умножение и сложение с плавающей точкой для каждого такта и каждое ядро, соответственно, выполняет восемь операций с плавающей запятой двойной точности за цикл. Следовательно, микросхема способна выполнять за цикл 64 операции с плавающей запятой двойной точности. Рабочая тактовая частота 2GHz и, таким образом, пиковая производительность составляет 128 GFLOPS. Всего есть 192 регистра для операций с фиксированной запятой и 256 регистров для операций с плавающей запятой.

Кэш-память 1 уровня выполняет операции загрузки/сохранения. Каждое ядро имеет 32Kbyte двусторонней кэш-памяти операций и данных. Кэш данных имеет структуру двойного порта, способного одновременно осуществлять две загрузки, доступ и выполнение двух 16ти байтных SIMD загрузок или одного 16 байтного SIMD сохранения данных.

Кэш-память 2 уровня разделяется восемью ядрами, причем обеспечивается согласованность для каждого ядра. Обеспечивается аппаратный межъядерный барьер, который позволяет высокоскоростную синхронизацию между ядрами, как будет описано ниже.

SPARC64 VIIIfx содержит внутри себя контроллеры памяти для уменьшения латентности и повышения пропускной способности к своей памяти. Теоретическим пиковым значением пропускной способности памяти является значение 64GB/s.

Кроме того, К компьютер использует эксклюзивные микросхемы контроллеров интерконнекта и HSIO для обеспечения высокоскоростного обмена между микросхемами.

4. Расширение инструкций HPC-ACE

HPC-ACE является набором расширенных команд, предназначенных для проведения научных расчетов для архитектуры SPARC-V9. Она была разработана на основе анализа многих приложений для высокопроизводительных вычислений совместно с отделом разработки программного обеспечения Fujitsu.

1) Увеличение количества регистров

Число регистров SPARC-V9 для операций с плавающей запятой - 32, что недостаточно для приложений HPC. Однако, увеличение числа регистров невозможно для 32-битной архитектуры SPARC из-за недостаточной длины операций. В качестве решения данной проблемы, для HPC-ACE была определена новая префиксная операция, называемая установкой расширенного арифметического регистра (SXAR, set extended arithmetic register). Операция SXAR расширяет адресацию регистров вверх на две следующие инструкции. Длина адреса регистра увеличивается на 3 бита, что делает возможным адресацию до 256 регистров для операций с плавающей запятой, в восемь раз больше чем в SPARC-V9 (рисунок 3).

Компилятор использует этот увеличенный набор регистров для оптимизации дополнительно к конвейеризации программного обеспечения и максимизирует параллелизм на уровне команд приложения. С точки зрения Himeno Benchmark, представительного HPC теста, производительность улучшается в 1,65 раз.

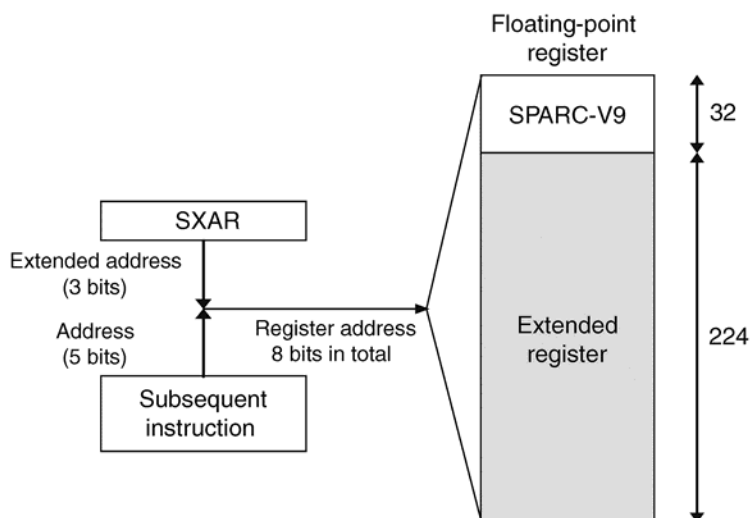


Рисунок 3
Расширение адресов регистров с использованием команды SXAR

2) Операции SIMD и инструкции загрузки/сохранения.

SIMD является технологией, позволяющей одновременное выполнение одной инструкции более чем одним процессором данных. HPC-ACE использует технологию SIMD для выполнения двух операций FMA одной инструкцией. Также поддерживаются SIMD-команды для более быстрого умножения комплексных чисел. Кроме того, выполнение SIMD возможно с одновременным исполнением загрузки/сохранения. Обработка команд SIMD выполняется без штрафа на 8-байтовое выравнивание для двойной точности и 4-байтовое выравнивание для одинарной точности.

3) Механизм секторизации кэширования

Для HPC-ACE был разработан механизм кэширования (секторное кэширование) управляемого программным обеспечением. Обычный механизм кэширования не может управляться программным обеспечением. Даже если пользователь знает о высокой частоте повторного использования определенных данных, аппаратные средства удаляют данные из кэш-памяти при регистрации других данных в кэше, что может мешать улучшению производительности. Для решения этой проблемы механизм секторизации кэш-памяти разбивает кэш-память на два сектора и позволяет программному обеспечению регистрировать часто повторно используемые данные в секторе отдельно от остальных данных. Реализация механизма, позволяющего пользователю сохранять часто повторно используемые данные в кэш-памяти, способствует лучшей производительности.

4) Ускорение операций для тригонометрических функций синуса и косинуса.

Были добавлены операции для ускорения тригонометрических функций синуса и косинуса. Традиционно они выполнялись путем комбинации многих инструкций, однако предоставление выделенных инструкций сокращает число операций приводя к увеличению скорости более чем в пять раз.

5) Условное исполнение

Для эффективного выполнения циклов, содержащих операторы выполнения условия (*if*), необходимо устранить команды условных ветвлений (переходов). Для этих целей в HPC-ACE были добавлены операции условного исполнения. В частности, для записи в регистр операций с плавающей точкой результата сравнения и команды условного выполнения используется новая команда сравнения на основе результата его выполнения. В качестве операций условного исполнения были определены инструкции обмена данными между регистрами для операций с плавающей запятой, а также сохранение в память из этих регистров. Комбинирование этих инструкций для исключения операций условного ветвления позволяет компилятору оптимизировать циклы, содержащие условные операторы, конвейеризацией программного кода или иными способами.

6) Аппроксимация деления и извлечения квадратного корня.

Были добавлены операции для нахождения приближений обратных величин. Это позволяет конвейеризовать обработку деления и извлечения квадратного корня, приводя в результате к улучшению производительности примерно в четыре раза, как комбинированный результат использования большего числа регистров.

Перечисленные функции (с 1й по 6ю) позволяют иметь более высокую производительность без увеличения тактовой частоты и вносят значительный вклад в более высокое значение производительности на единицу потребляемой мощности SPARC64 VIIIfx.

5. VISIMPACT

Данный раздел описывает аппаратные механизмы, используемые для реализации VISIMPACT.

1) Разделяемый кэш второго уровня.

SPARC64 VIIIfx снабжен 6 МБ кэш-памяти 2го уровня разделяемой всеми восемью ядрами. Облегчение обмена данными между ядрами позволяет эффективную параллельную обработку одного процесса несколькими ядрами.

2) Аппаратный барьер.

SPARC64 VIIIfx оснащён аппаратным барьером для высокоскоростной синхронизации между ядрами. Когда один процесс выполняется несколькими ядрами одновременно, может быть реализовано ожидание (*wait*, синхронизация) между ядрами. В то время как обычные процессоры используют для синхронизации программное обеспечение, SPARC64 VIIIfx использует специальные аппаратные средства, чтобы увеличить скорость вычислений более чем в десять раз. Значительное снижение накладных расходов на синхронизацию позволяет параллельное выполнение с использованием нескольких ядер и маленьких циклов для получения более высоких скоростей.

6. Меньшее энергопотребление

SPARC64 VIIIfx использует транзисторы с высоким затвором (большим пороговым напряжением), а также водяное охлаждение для уменьшения температуры перехода до 30°C, тем самым уменьшая мощность токов утечки до 10% от общей потребляемой микросхемой мощности.

Кроме того, предусмотрено полное тактовое стробирование для каждого триггера так, что это приводит к ещё более эффективному снижению мощности и успешно понижает динамическую мощность, потребляемую при работе.

Как результат, среднее энергопотребление SPARC64 VIIIfx меньше 58Вт и он имеет высокую производительность в 128GFLOPS. Это больше чем в шесть раз превосходит нашу предыдущую модель процессора SPARC в терминах производительности на единицу энергопотребления.

7. Высокая надежность.

SPARC64 VIIIfx снабжён технологией высокой надежности, которая уходит корнями к разработке Fujitsu своих мейнфреймов и серверов UNIX.

Процессор состоит из транзисторов с очень тонкими структурами и на сигналы могут оказывать воздействие космические лучи или другие факторы. Чтобы обеспечить непрерывную обработку без каких-либо неисправностей, несмотря на такие пульсирующие и скоротечные сбои, SPARC64 VIIIfx имеет механизм повтора команд, в котором аппаратные средства автоматически повторно выполняют любую инструкцию, пострадавшую от ошибок. Кроме того, 1-битные ошибки для всей памяти и всех регистров для операций с плавающей точкой и фиксированной точкой в процессоре корректируются аппаратными средствами. Разделы, относящиеся к выполнению программы, защищены кодом обнаружения ошибок с тем, чтобы обеспечить целостность данных.

Благодаря использованию этих технологий, компания Fujitsu добилась стабильной работы системы, соединяющей более 80 000 процессоров.

8. Заключение

Разработка SPARC64 VIIIfx была действительно сложным проектом для нас, разработчиков. Для выполнения разработки был собран вместе персонал из отдела разработки программного обеспечения, лабораторий и других подразделений в дополнение к команде разработчиков процессора, чтобы объединить все сильные стороны компании Fujitsu. Мы верим, что разработка новых технологий и наследие процессорных технологий, которые Fujitsu взращивала в течение многих лет, привели к успешной разработке суперкомпьютера.

Мы ожидаем, что К компьютер, использующий этот процессор, в будущем поможет решать задачи в различных областях.

Ссылки

- 1) T. Maruyama et al.: SPARC64 VIIIfx: A New-Generation Octocore Processor for Petascale Computing. IEEE Micro, Vol. 30, Issue 2, pp. 30–40 (2010).
- 2) SPARC International: The SPARC Architecture Manual (Version 9). <http://www.sparc.org/standards/SPARCV9.pdf>
- 3) Fujitsu: SPARC Joint Programming Specification (JPS1) Commonality. (in Japanese). <http://jp.fujitsu.com/solutions/hpc/brochures/>
- 4) Fujitsu: SPARC JPS1 Implementation Specification SPARC64 V. (in Japanese). <http://jp.fujitsu.com/solutions/hpc/brochures/>
- 5) Fujitsu: SPARC64 VIIIfx Extensions. (in Japanese) <http://jp.fujitsu.com/solutions/hpc/brochures/>
- 6) A. Inoue: SPARC64 V Processor for UNIX Servers. (in Japanese), FUJITSU, Vol. 53, No. 6, pp. 450–455 (2002).
- 7) T. Maruyama et al.: Past, Present, and Future of SPARC64 Processors. Fujitsu Sci. Tech. J., Vol. 47, No. 2, pp. 130–135 (2011).

